

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-249749

(43)公開日 平成7年(1995)9月26日

(51)Int.Cl.<sup>6</sup>

H 01 L 27/12  
21/02

識別記号

府内整理番号

F I

技術表示箇所

B

B

B

審査請求 未請求 請求項の数7 O.L (全10頁)

(21)出願番号

特願平6-40964

(22)出願日

平成6年(1994)3月11日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 山方 憲二

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 米原 隆夫

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

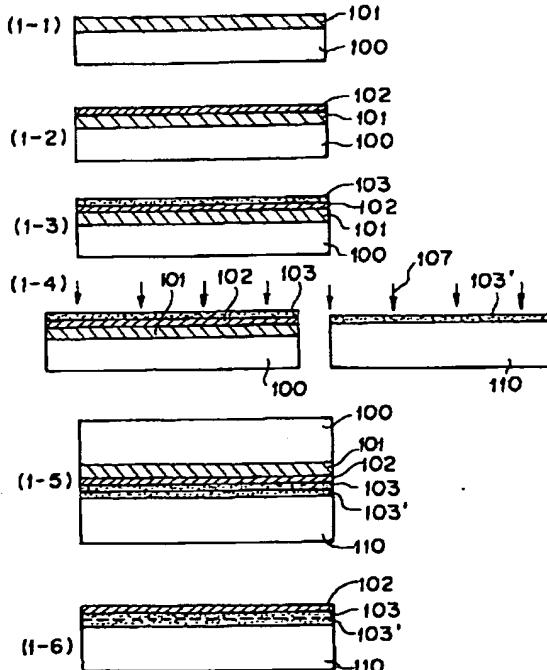
(74)代理人 弁理士 山下 穣平

(54)【発明の名称】 SOI基板の作製方法

(57)【要約】

【目的】 貼り合わせ方式のSOI基板の貼り合わせ界面の品質を向上することにより、活性層の膜厚が均一で、下地SiO<sub>2</sub>が十分な厚みを持ち、界面準位が小さく、ボイドが少ないといった理想的なSOI基板の作製方法を提供する。

【構成】 シリコン単結晶基板100の表面を陽極化成により多孔質化101する工程(1-1)と、該多孔質化した表面上にシリコン単結晶薄膜102をエピタキシャル成長する工程と、該エピタキシャル層102の表面を酸化103することにより得られる第1の基板と、表面にSiO<sub>2</sub>103'を有する第2の基板110とを密着させて貼り合わせる工程(1-5)の前に、少なくとも片方の基板の表面をプラズマ雰囲気107に晒し、前記SiO<sub>2</sub>表面103、103'を活性化する工程(1-4)を有することを特徴とするSOI基板の作製方法。



## 【特許請求の範囲】

【請求項1】シリコン単結晶基板上に、多孔質層、エピタキシャル層、シリコン酸化膜を順に形成した第1の基板を作製する工程と、

表面にシリコン酸化膜を有する第2の基板を用意し、前記第1の基板及び前記第2の基板の少なくとも片方の基板の前記シリコン酸化膜表面にX線を照射し、該シリコン酸化膜表面を活性化する工程と、

前記第1の基板と第2の基板を、前記活性化されたシリコン酸化膜を介して貼り合わせる工程と、

前記貼り合わせられた基板の前記シリコン単結晶基板と前記多孔質層を除去することにより、前記第2の基板上に前記シリコン酸化膜を介して前記エピタキシャル層を有する基板を形成する工程と、を有することを特徴とするS O I基板の作製方法。

【請求項2】前記X線が、電子線であることを特徴とする請求項1に記載のS O I基板の作製方法。

【請求項3】前記X線が、プラズマであることを特徴とする請求項1に記載のS O I基板の作製方法。

【請求項4】前記多孔質層は、前記シリコン単結晶基板の表層を陽極化成により多孔質化して形成することを特徴とする請求項1～3のいずれか1項に記載のS O I基板の作製方法。

【請求項5】前記貼り合わせられた基板の前記シリコン単結晶基板と前記多孔質層の除去は、前記密着したシリコン基板側の多孔質化されていない前記シリコン単結晶基板部分を研削、或いはエッチングによって除去してから、引き続き前記多孔質シリコン部分を選択的にエッチングする工程により行なわれることを特徴とする請求項1～4のいずれか1項に記載のS O I基板の作製方法。

【請求項6】前記多孔質シリコン部分の選択的エッチングは、フッ酸、過酸化水素水の混合エッチング液により行なうことを特徴とする請求項5に記載のS O I基板の作製方法。

【請求項7】前記プラズマは、水素、酸素、窒素、ハロゲンガス、希ガスの単元素系のガス、或いはシラン系を除く化合物ガス、或いはこれらの混合ガスを用いることを特徴とする請求項3に記載のS O I基板の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、S O I基板の作製方法に関するものであり、特に貼り合わせ方式により作製されるS O I基板の作製方法に関するものである。

## 【0002】

【従来の技術】絶縁物上の単結晶シリコン半導体層の形成は、Silicon on Insulator (S O I) 技術として広く知られ、通常のシリコン集積回路を作製するパルクシリコン基板では到達しえない数々の優位点をこの基板が有することから、多くの研究が成さ

れてきた。

【0003】最近報告されたS O I形成法の中で、特に質的に優れているものとして通称「貼り合わせS O I」がある。これは、少なくとも一方が酸化等により絶縁膜が形成されている2枚のウェハーの鏡面同士を密着させ、熱処理を施して密着界面の結合を強力なものとした後、どちらか一方側から基板を研磨、或いはエッチングすることによって絶縁膜上に任意の厚みを持ったシリコン単結晶薄膜を残すという技術である。この技術において最も重要なのはシリコン基板を薄膜化する工程である。即ち通常数百μmもの厚さのシリコン基板を均一に數μm、もしくは1μm以下の厚さまで研磨、或いはエッチングしなければならず、その制御性や均一性の面で技術的に極めて困難である。シリコンの薄膜化の方法には大別して2通りある。1つは研磨のみで行なう方法

(BPSOI : Bonding and Polishing S O I) であり、もう1つは残す薄膜の直上(单体の基板作製時では直下)にエッチングストップ層を設け、基板エッチングとエッチングストップ層のエッチングの2段階で行なう方法(BESOI : Bond and Etchback S O I)である。BESOIはシリコン活性層は予め形成してあるエッチングストップ層の上にエピタキシャル成長する場合が多いので、膜厚の均一性を確保するにはこのBESOIが現在のところ有利とされている。しかしながらエッチングストップ層は不純物を高濃度に含んでいる場合が多いので、これによって結晶格子の歪みが発生し、結晶欠陥がエピタキシャル層に伝搬するという問題がある。またエピタキシャル層の酸化や貼り合わせ後のアニール時に不純物が拡散して、エッチング特性を変化させてしまう可能性もある。

【0004】もう一つ貼り合わせS O Iで重要なことは、大気中の不純物や基板表面の凹凸のために、貼り合わせ界面に界面準位が発生しやすいという点にある。界面準位はデバイスの電流リーク等の特性劣化をもたらす原因となり易い。そこでこれを避けるためには、活性層を酸化してから貼り合わせるという方法が考えられる。これにより活性層の下地界面は貼り合わせ界面でなく、熱酸化界面となり、界面準位は低く抑えられる。ただし

S O Iの特性を十分に満たす酸化膜厚を得るために、活性層をかなり酸化する必要があり、前述したようにBESOIの場合には酸化時の熱のためにエッチングストップ層の不純物プロファイルを変化させてしまいかねない。従って活性層は薄く酸化して、他方の基板のシリコン酸化層を厚くしてシリコン酸化膜同士を貼り合わせることになる。しかしここでもまた新たな問題点が生ずる。即ちシリコンとシリコン酸化膜の貼り合わせに比べて、シリコン酸化膜同士の貼り合わせ強度は低く、そのために「ボイド」と呼ばれる空隙を貼り合わせ界面に多く発生させてしまうのである。

【0005】 $\text{SiO}_2$  と  $\text{SiO}_2$  を従来よりも強い結合力で貼り合わせた例として、石英基板と表面が酸化されたシリコン基板を貼り合わせる方法を、Goetzらが報告している (G. G. Goetz, Electrochemical Society, Bonding Symposium 1991, Extended abstract, pp. 65)。これは  $\text{SiO}_2$  の表面を酸素のRFプラズマ中に晒し、プラズマとシリコン基板の間にDCバイアスを印加することで酸素イオンプラズマを  $\text{SiO}_2$  表面に衝突させ、そのエネルギーで  $\text{SiO}_2$  を活性化させるという方法である。そして活性化した  $\text{SiO}_2$  同士を貼り合わせると、活性化しないで貼り合わせたものに比べて数倍の結合力が発生し、言い替えれば、同じ結合力を得るのにかなり低温の熱処理で済むということで、これは BE SOI のように高温の熱処理を嫌うものや、ガラスとシリコンの貼り合わせのように熱膨張係数の異なる組み合わせの場合に適している。

【0006】一方ボイドは貼り合わせ強度だけでなく、貼り合わせ面の凹凸に非常に敏感である。この点では前述した BE SOI は不利な場合が多い。何故ならばエッチングストップ層を形成する方法としては、例えば CVD でヘテロエピタキシャル成長を行なったり、高濃度の不純物をドーピングしたエピタキシャル成長を行なうのが通常だが、CVDの場合、特にヘテロエピタキシャル成長の場合には、研磨によって得られる平坦面よりも平坦性が劣ることが多いからである。イオン注入などによりエッチングストップ層を形成することもあるが、この場合も平坦性は悪化してしまう。

【0007】貼り合わせ面の平坦性が良く、且つ BE SOI のように活性層の膜厚が均一で、従来の BE SOI よりもエッチングの選択性が数桁も良いという例では、シリコン基板の表面を陽極化成により多孔質化し、この上にシリコン活性層をエピタキシャル成長する技術がある (特開平5-21338号公報参照)。この場合、多孔質層が BE SOI で言うエッチングストップ層にあたる。但し多孔質シリコンは単結晶シリコンに比べて、フッ酸系のエッチング液に対して非常にエッチングレートが高いので、エッチングストップ層というよりも高選択性を重視している。この技術では多孔質シリコン層は CVD でなく、平坦な単結晶シリコン基板表面を陽極化成するので、エッチングストップ層を CVD 等で形成する BE SOI に比べて、エピタキシャル成長した活性層の平坦性は良くなる。しかしこの技術においてさえエピタキシャル成長層表面は、バルクの研磨表面より微妙に平坦性が悪い。このために活性層を酸化して他方のシリコン酸化膜と貼り合わせる際に、若干のボイドが発生することがある。

#### 【0008】

【発明が解決しようとしている課題】以上説明したように、シリコンとシリコン酸化膜の貼り合わせに比べて、

シリコン酸化膜同士の貼り合わせ強度は低く、そのため「ボイド」と呼ばれる空隙を貼り合わせ界面に多く発生させてしまうという問題がある。

【0009】また、ボイドは貼り合わせ強度だけでなく、貼り合わせ面の凹凸に非常に敏感であるが、エピタキシャル成長層表面は、バルクの研磨表面より微妙に平坦性が悪い。このために活性層を酸化して他方のシリコン酸化膜と貼り合わせる際に、若干のボイドが発生することがあるという問題がある。

【0010】即ち、活性層の膜厚が均一で、下地  $\text{SiO}_2$  が十分な厚みを持ち、界面準位が小さく、ボイドが少ないといった理想的な SOI 基板は未だ生産されるに至っていないという解決すべき課題がある。

【0011】(発明の目的) 本発明の目的は、活性層の膜厚が均一で、下地  $\text{SiO}_2$  が十分な厚みを持ち、界面準位が小さく、ボイドが少ないといった理想的な SOI 基板の作製方法を提供することにある。

#### 【0012】

【課題を解決するための手段および作用】本発明の SOI 基板の作製方法は、表層が多孔質化されたシリコン基板の多孔質シリコン面上に単結晶シリコン層をエピタキシャル成長し、次いで該成長面表層を酸化して第1の基板を形成する。同じく表面に  $\text{SiO}_2$  を有する支持基板(第2の基板)を用意し、これらの両者、もしくはいずれか一方を酸素等のプラズマ中、或いは X線、電子線などに晒し、化学的に  $\text{SiO}_2$  表面を活性化する。そして2枚の基板を室温で Van der Waals 力のみで密着し、熱処理を施した後に(或いは熱処理を行わずに)まずエピタキシャル成長側のシリコン基板部分を研削またはエッチングし、続いて多孔質部分を選択的にエッチングして、単結晶シリコン薄膜を  $\text{SiO}_2$  上に形成するものである。

【0013】本発明を実施するにあたって、多孔質シリコンが有する重要な物理的効果が二点ある。

【0014】一つには多孔質シリコンのエッチング特性である。通常シリコンはフッ酸では殆どエッチングされないが、多孔質化することによってフッ酸でのエッチングが可能となる。しかもフッ酸、過酸化水素水の混合エッチング液を用いると、非多孔質と多孔質では約 10 の 5乗倍ものエッチング速度比が得られる。従って 1  $\mu\text{m}$  前後の薄いシリコン層でも均一に制御性よく残す選択エッチングが可能になる。

【0015】もう一つの効果はエピタキシャル成長特性である。多孔質シリコンは結晶構造としては単結晶構造を保っており、表面から内部にわたって数十～数百オングストローム径の孔が高密度に存在するものである。この表面に成長するエピタキシャル層は、非多孔質の単結晶基板上のエピタキシャル層とほぼ同等の結晶性が得られるという特性を有する。

【0016】尚、多孔質上のエピタキシャル成長の特徴

として、非常に低密度ではあるが成長界面から積層欠陥が発生する場合がある。これによってエピタキシャル成長時に発生した積層欠陥は、貼り合わせにより他方の基板に転写されるので、できるSOI基板のシリコン膜中に観察される積層欠陥は通常と逆向きに見える。

【0017】以上の物理的特性より、活性層として信頼性の高い単結晶シリコン基板上のエピタキシャル層と同等の単結晶薄膜を用いることが可能になり、従来のSOI基板に比べて優れた結晶性と優れた膜厚の均一性を有するSOI基板が適用できる。

【0018】また本発明のプロセスでは2枚の基板のSiO<sub>2</sub>面同士を貼り合わせるので、活性層であるエピタキシャルシリコン膜とSiO<sub>2</sub>（前記エピタキシャル層の熱酸化膜）界面の界面準位は十分低く、且つSiO<sub>2</sub>層の厚みは任意に制御できるので、SOIの特性を十分に生かした基板を作製できる。

【0019】そして貼り合わせ界面のSiO<sub>2</sub>は、プラズマ処理、又はX線照射、又は電子線照射によって表面が活性化しているので、貼り合わせ強度は十分高められ、ボイドの発生が抑制される。

【0020】また、前記多孔質シリコン部の選択エッチングは、フッ酸、過酸化水素水の混合エッティング液により行なうことが好ましく、これにより、制御性良くエッチングすることができる。

【0021】また、前記プラズマは、水素、酸素、窒素、ハロゲンガス、希ガスの単元素系のガス、或いはシラン系を除く化合物ガス、或いはこれらの混合ガスを用いることが好ましく、これにより、SiO<sub>2</sub>表面をより効果的に活性化することができる。

【0022】（実施態様例）本発明の実施態様例を図1及び図6を用いて説明する。

【0023】（図1-1）単結晶シリコン基板100を陽極化成して多孔質シリコン101を形成する。このとき多孔質化する厚みは、基板の片側表面層数μm～数十μmでよい。また基板全体を陽極化成してもかまわない。

【0024】多孔質シリコンの形成方法については、図6を用いて説明する。まず基板としてP型の単結晶シリコン基板600を用意する。N型でも不可能ではないが、その場合は低抵抗の基板に限定されるか、または光を基板表面に照射してホールの生成を促進した状態で行なわなければならない。基板600を図6-1に示すような装置にセットティングする。即ち基板の片側がフッ酸系の溶液604に接していて、溶液側に負の電極606が設けられており、逆側は正の金属電極605に接している。

【0025】また、図6-2に示すように、正電極側605も溶液604'を介して電位をとってもかまわない。いずれにせよフッ酸系溶液に接している負の電極側から多孔質化が起こる。

【0026】フッ酸系溶液604としては、一般的には濃フッ酸（49%HF）を用いる。純水（H<sub>2</sub>O）で希釈していくと、流す電流値にもよるが、ある濃度からエッティングが起ってしまうので好ましくない。また陽極化成中に基板600の表面から気泡が発生してしまい、この気泡を効率よく取り除く目的から、界面活性剤としてアルコールを加える場合がある。アルコールとしてメタノール、エタノール、プロパノール、イソプロパノール等が用いられる。また界面活性剤の代わりに攪はん器を用いて、溶液を攪はんしながら陽極化成を行ってもよい。負電極606に関しては、フッ酸溶液に対して侵食されないような材料、例えば金（Au）、白金（Pt）等が用いられる。正側の電極605の材質は一般に用いられる金属材料でかまわないが、陽極化成が基板600すべてになされた時点で、フッ酸系溶液604が正電極605に達するので、正電極605の表面にも耐フッ酸溶液性の金属膜をコーティングしておくとよい。陽極化成を行う電流値は最大数百mA/cm<sup>2</sup>であり、最小値は零でなければよい。この値は多孔質化したシリコンの表面に良質のエピタキシャル成長ができる範囲内で決定される。通常電流値が大きいと陽極化成の速度が増すと同時に、多孔質シリコン層の密度が小さくなる。即ち孔の占める体積が大きくなる。これによってエピタキシャル成長の条件が変わってくるのである。

【0027】（図1-2）以上のようにして形成した多孔質層101上に、非多孔質の単結晶シリコン層102をエピタキシャル成長する。エピタキシャル成長は一般的な熱CVD、減圧CVD、プラズマCVD、分子線エピタキシー、スパッタ法等で行なわれる。成長する膜厚はSOI層の設計値と同じくすれば良いが、好ましくは2μm以下の膜厚が良い。これは2μm以上の膜厚の単結晶シリコン膜がSiO<sub>2</sub>を主成分とする絶縁性基板と密着している場合、これをデバイスプロセスで熱処理すると両材料の熱膨張係数の違いから貼り合わせ界面に大きな応力が発生し、シリコン膜の破壊、基板の反り、または界面での剥離等が起ってしまうからである。膜厚が2μm以下であれば応力は比較的小さくてすむので、膜の破壊、剥離、反り等は起こりにくい。より好ましくは、0.5μm以下である。これは0.5μm以上の膜厚であると、後のアニールの際に剥離、破壊等が起こらなくても、微小な領域において結晶にスリップラインが生じやすくなるからである。

【0028】（図1-3）エピタキシャル層102の表面を酸化（103）する。これはエピタキシャル層を次の工程で直接支持基板と貼り合わせた場合、貼り合わせ界面上には不純物が偏析しやすく、また界面の原子の非結合手（ダングリングボンド）が多くなり、薄膜デバイスの特性を不安定化させる要因になるからである。

【0029】尚酸化膜厚は、貼り合わせ界面に取り込まれる大気中からのコンタミネーションの影響を受けない

程度の厚みがあれば良い。

【0030】(図1-4)上記表面が酸化されたエピタキシャル面を有する基板100と、支持基板となるSiO<sub>2</sub>(103')を表面に有する基板110を用意する。支持基板110はシリコン基板表面を酸化したもの、石英ガラス、結晶化ガラス、任意基板上にSiO<sub>2</sub>を堆積したものなどが挙げられる。

【0031】次いでこれらの両基板、もしくは一方をプラズマ雰囲気中、或いはX線、電子線に晒して表面のSiO<sub>2</sub>を活性化する。

【0032】プラズマ雰囲気中に晒すときに用いるガスは酸素が好ましいが、その他にも大気(酸素/窒素の混合)、窒素、水素、またはアルゴン、ヘリウム等の不活性ガスや、アンモニア等の分子ガスなどが可能である。基板に照射するエネルギーはDCバイアスで数ボルト～400ボルト程度の範囲で制御するのが好ましく、それ以上のバイアスをかけるとSiO<sub>2</sub>がかなりの速度でエッチングされ、表面荒れを起こすので好ましくない。また照射エネルギーはDCバイアスで制御しなくとも、プラズマ自体が持つセルフバイアスを制御することでも十分行なえる。セルフバイアスは例えばプラズマを作るRFパワーに大きく依存し、その他にもガス種やガスの圧力などにも依存する。

【0033】X線は大気中或いは酸素雰囲気中で使用できる。電子線に関しては真空中で行わなければならぬという制限がある。

【0034】(図1-5)上記用意した両基板を洗浄した後に貼り合わせる。洗浄方法は純水でリノスするだけが好ましく、他には過酸化水素水を純水で希釈したもの、塩酸もしくは硫酸を純水で十分に希釈したものも可能である。

【0035】貼り合わせた後に基板を全面で加圧すると、接合の強度を高める効果がある。

【0036】そして次に貼り合った基板を熱処理する。熱処理温度は高い方が好ましいが、あまり高すぎると多孔質層101が構造変化をおこしてしまったり、基板に含まれていた不純物がエピタキシャル層に拡散があるので、これらを起こさない温度と時間を選択する必要がある。具体的には600～1100℃程度が好ましい。また基板によっては高温で熱処理できないものがある。例えば支持基板110が石英ガラスである場合には、シリコンと石英の熱膨張係数の違いから、200℃程度以下の温度でしか熱処理できない。この温度を越えると貼り合わせた基板が応力で剥がれたり、または割れたりしてしまう。ただし熱処理は次の工程で行なうバルクシリコン100の研削やエッチングの際の応力に耐えられれば良い。従って200℃以下の温度であっても活性化の表面処理条件を最適化することで、プロセスは行なえる。

【0037】(図1-6)次にエピタキシャル成長層1

02を残してシリコン基板部分100と多孔質部分101を選択的に除去する。まずシリコン基板部分100は表面グラインダー等により研削するか、或いは水酸化カリウム、アンモニア水等のアルカリ溶液、或いはトリメチルアンモニウム等の有機アルカリ溶液で除去する。エッチングの場合は100℃以下の温溶液中で行なうのが効果的である。アルカリ系の溶液はSiO<sub>2</sub>を殆どエッチングしないので、支持基板がガラスかもしくは酸化膜で覆われたシリコン基板であれば、シリコン基板部分のみを選択的にエッチングできる。また、フッ酸と硝酸、もしくはこれに酢酸等を加えた酸混合液でエッチング除去することも可能である。但しフッ酸硝酸系エッチャントは支持基板を多少エッチングするので、長時間の使用は避けた方がよい。シリコン基板部分100をエッチングし、多孔質部分101が露出した時点でエッチングを一旦終了し、後の多孔質部分101はフッ酸系溶液中で選択エッチングを行なう。エピタキシャル成長部分102は多孔質でないので殆どフッ酸と反応せずに薄膜として残る。また当然のことながら支持基板110は、SiO<sub>2</sub>を主成分とする場合にはフッ酸系溶液に反応し易いので、長時間フッ酸溶液に浸しておくのは好ましくない。しかし多孔質シリコン層が薄ければ、これをエッチングする時間はそれほどかかりないので気にすることはない。もし支持基板110が少しでもエッチングしたくない場合には、予め貼り合わせ面と反対面にCVD等でシリコン窒化膜や他のフッ酸と反応しにくい物質を堆積しておくと良い。またはエッティング液に基板を浸す前に多孔質部分101もある程度アルカリ溶液、有機アルカリ溶液、またはフッ酸硝酸系溶液で薄くしておけば、エピタキシャル層と多孔質層の選択エッティングを要する時間が短くてすむので、支持基板もあまり反応させることなしに済む。

【0038】エピタキシャル膜102と多孔質層101の選択エッティングに用いるフッ酸系溶液というのは、フッ酸に過酸化水素水(H<sub>2</sub>O<sub>2</sub>)を混合したものが用いられる。フッ酸と硝酸、もしくはこれに酢酸を加えた混合溶液でも多孔質シリコンの選択エッティングは可能だが、この場合あまり選択比がとれないことと、残されるべき単結晶シリコン薄膜も多少エッティングされるということ、精密に時間等の制御をする必要がある。

【0039】以上の工程を行なうことによって絶縁性基板上に単結晶シリコン薄膜を得ることができる。

#### 【0040】 【実施例】

(実施例1) 図1及び図6を用いて本発明の第1実施例の詳細を説明する。

【0041】(図1-1) 625ミクロンの厚みを持った5インチP型(100)単結晶シリコン基板(0.1～0.2Ωcm)を用意し、これを図6-1に示すような装置にセットして陽極化成を行ない、シリコン基板

100の表面を20μmだけ多孔質シリコン101にした。この時の溶液604は49%HF溶液を用い、電流密度は100mA/cm<sup>2</sup>であった。そしてこの時の多孔質化速度は8.4μm/min.であり、20μmの厚みの多孔質層は約2.5分で得られた。

【0042】(図1-2) 前記多孔質シリコン101上にCVD法により、単結晶シリコン層102を0.5μmエピタキシャル成長した。堆積条件は以下のとおりである。

【0043】使用ガス: SiH<sub>4</sub>/H<sub>2</sub>  
ガス流量: 0.62/140 (1/min.)  
温度: 750°C  
圧力: 80 Torr  
成長速度: 0.12 μm/min.

(図1-3) 上記方法にて作成した基板を水蒸気中900°Cの条件で処理し、0.1μmの酸化膜103を得た。

【0044】(図1-4) 上記酸化膜を有する基板100と、予め用意しておいた0.5μm厚のシリコン酸化膜を有する支持基板(シリコンウェハー)110をプラズマ処理装置内にセットし、酸素プラズマにより各々の表面を活性化処理した。処理条件は次のとおり。

【0045】RF周波数・・・13.58MHz  
RFパワー・・・400W  
酸素流量・・・30scm  
圧力・・・・15pa.  
処理時間・・・5分

尚、プラズマと基板の間では特にバイアスの制御は行なわず、プラズマのセルフバイアスのみで表面処理をした。

【0046】(図1-5) 上記表面処理した両基板を純水に5分間浸し、スピンドル乾燥した後に処理面同士を貼り合わせた。その後に800°C、6時間の熱処理を行なった。

【0047】(図1-6) 热処理後にシリコン基板100側を表面研削装置で610μm研削し、多孔質シリコン102を露出させた。

【0048】この基板を引き続き選択エッティング溶液中に浸し、多孔質部分101のみを選択的に全てエッティングした。このとき選択エッティング溶液の組成と多孔質シリコンに対するエッティング速度は、

HF:H<sub>2</sub>O<sub>2</sub>=1:5 1.6 μm/min.  
であった。従って20μm弱の多孔質部分は、約13分間で全てエッティングされた。ちなみにこのときの単結晶シリコン層102のエッティング速度は0.0006μm/hourであり、殆どエッティングされずに残った。

【0049】この結果0.6μmのシリコン酸化膜上に約0.4μmの単結晶シリコン膜を備えたSOI基板が出来上がり、SOI膜のボイドの密度は、従来の表面処理をしないものに比べて約1/4に減少した。

【0050】(実施例2) 図2を用いて本発明の第2実施例の詳細を説明する。

【0051】(図2-1) 300μmの厚みを持った抵抗率0.01Ω·cmの4インチP型(100)シリコン基板200を用意し、その表層を第1実施例と同様にして20μmだけ多孔質シリコン201とした。

【0052】(図2-2) 得られた多孔質面上に第1実施例と同様にしてエピタキシャル層202を0.15μmの厚みに形成した。

【0053】(図2-3) 上記方法にて作成した基板を1000°Cの水蒸気中で0.1μm酸化した。

【0054】(図2-4) 上記基板と予め用意しておいた4インチの合成石英基板210を、第1実施例と同様に表面をプラズマ処理した。

【0055】(図2-5) 上記シリコン基板200と石英基板210を純水中に5分間浸した後に、互いの処理面を貼り合わせた。続いて180°C、24時間の熱処理を行なった。

【0056】(図2-6) まず280μmあるシリコ

ン基板部分200をフッ酸/硝酸/酢酸の1:10:10混合溶液でエッティングした。そして表面に多孔質シリコン層201が露出したところで、多孔質層201をフッ酸/過酸化水素水の1:5混合液で選択的にエッティングした。このときフッ酸/硝酸/酢酸の単結晶シリコンに対するエッティングレートは約2μm/min.であったので約140分で、またフッ酸/過酸化水素水の多孔質シリコンに対するエッティングレートは約1.6μm/min.であったので約13分で多孔質層全てがエッティングできた。石英基板210は数μmエッティングされただけにとどまった。

【0057】この結果石英基板上に0.1μmのシリコン単結晶薄膜を備えたSOI基板が出来上がり、SOIのボイド密度は従来の表面処理をしない石英基板のタイプのものに比べ、約1/5に減少した。

【0058】(実施例3)

(図3-1) 400μmの厚みを持った抵抗率0.01Ω·cmの5インチP型(100)シリコン基板300を用意し、その表面から20μmの厚みだけ多孔質層301を形成した。

【0059】(図3-2) 得られた基板の多孔質表面に第1実施例と同様にしてエピタキシャル層302を0.5μmの厚みに形成した。

【0060】(図3-3) 上記基板のエピタキシャル層302表面を1000°Cの水蒸気中で0.2μm酸化してSiO<sub>2</sub>層303を得た。この結果エピタキシャル層のシリコン単結晶部分が0.4μm、酸化膜部分が0.2μmの膜厚に各々なった。

【0061】(図3-4) 上記方法にて作成した基板300と予め用意しておいた合成石英基板310をプラズマ処理した。処理条件は次のとおり。

11

【0062】 R F 周波数・・・13. 56 MHz  
 R F パワー・・・450 W  
 ガス種・・・酸素／窒素混合  
 流量比・・・40 sccm / 160 sccm  
 圧力・・・20 p a.  
 処理時間・・・8分

(図3-5) 上記処理基板を10%の過酸化水素水で洗浄し、更に純水でリノスした後に乾燥させ、互いの基板を貼り合わせた。次いで貼り合わせた基板に70トンの圧力をかけて10分間置いた。

【0063】(図3-6) 上記基板を熱処理することなしに、そのままシリコン基板側を溶液にてエッティングした。まずシリコン基板を覆っている熱酸化膜303を希フッ酸で除去した後、徳山曹達製のテトラ・メチル・アンモニウム・ハイドライドの2.4%水溶液(商品名: SD-1)に浸し、90°Cで約5時間処理した。これによりシリコン基板側のバルクシリコン部分300は全てエッティングされ、多孔質層301が露出した。引き続いて多孔質部分301をフッ酸／過酸化水素水溶液で選択的にエッティングした。

【0064】(図3-7) 上記工程により得られた石英基板310上の単結晶シリコン薄膜302を、設計された素子の面積、形状、配置に合わせて島状にパターニングした。パターニング後に素子形成の第1工程として、各々の島状領域を1000°Cの酸素雰囲気中で0.05 μm酸化した。従ってこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約0.4 μmの単結晶シリコン薄膜を備えたSOI基板を得た。

【0065】(実施例4) 図4を用いて本発明の第4実施例の詳細を説明する。

【0066】(図4-1) 400 μmの厚みを持った抵抗率0.01 Ω · cmの5インチP型(100)シリコン基板400を用意し、その表面から20 μmの厚みだけ多孔質層401を形成した。

【0067】(図4-2) 得られた基板の多孔質表面に第1実施例と同様にしてエピタキシャル層402を0.5 μmの厚みに形成した。

【0068】(図4-3) 上記基板のエピタキシャル層402表面を900°Cの水蒸気中で0.05 μm酸化してSiO<sub>2</sub>層403を得た。

【0069】(図4-4) 上記方法にて作成した基板400と予め用意しておいた5インチ径、厚さ625 μmの合成石英基板410をプラズマ処理した。処理条件は次のとおり。

【0070】 R F 周波数・・・13. 56 MHz  
 R F パワー・・・450 W  
 ガス種・・・酸素／窒素混合  
 流量比・・・40 sccm / 160 sccm  
 圧力・・・20 p a.  
 処理時間・・・3分

12

(図4-5) 上記処理基板を10%の過酸化水素水で洗浄し、更に純水でリノスした後に乾燥させ、互いの基板を貼り合わせた。次いで貼り合わせた基板に70トンの圧力をかけて10分間置いた。更に同基板を180°C、24時間の熱処理を行なった。

【0071】(図4-6) 上記基板のシリコン基板側から、表面研削装置を用いてシリコン基板を100 μm残すところまで研削した。つまり625 μm厚の石英基板上に、多孔質層とエピタキシャル層を含めて100 μm厚のシリコン基板が貼り合わせた状態になっている。これを300°C、24時間の熱処理を行なった。

【0072】(図4-7) 残っていたバルクの部分400を引き続き表面研削装置で研削し、そして多孔質シリコン部分401をフッ酸／過酸化水素水混合液でエッティングした。この結果石英基板上に約0.4 μm厚の単結晶シリコン薄膜402を備えたSOI基板が出来上がり、SOIのボイド密度は従来の表面処理をしない石英基板のタイプのものと比べ、約1/10に減少した。

【0073】(実施例5) 図5を用いて本発明の第5実施例の詳細を説明する。

【0074】(図5-1) 300 μmの厚みを持った抵抗率0.01 Ω · cmの4インチP型(100)シリコン基板500を用意し、その表層を第1実施例と同様にして20 μmだけ多孔質シリコン501とした。

【0075】(図5-2) 得られた多孔質面上に第1実施例と同様にしてエピタキシャル層502を0.15 μmの厚みに形成した。

【0076】(図5-3) 上記方法にて作成した基板を1000°Cの水蒸気中で0.1 μm酸化した。

【0077】(図5-4) 予め用意しておいた0.7 μm厚のシリコン酸化膜を有する4インチのシリコン基板510を第1実施例と同様に表面をプラズマ処理した。このとき上記多孔質シリコン上にエピタキシャル成長した基板については、プラズマ処理を行なわなかった。

【0078】(図5-5) 上記2枚の基板を10%の過酸化水素水で洗浄し、更に純水でリノスした後に乾燥させ、互いに貼り合わせた。次いで貼り合わせた基板に70トンの圧力と、同時に200°Cの温度をかけて1時間置いた。更に取り出した基板を1000°Cで30分間アニールした。

【0079】(図5-6) 上記基板を第1実施例と同様に、研削と選択エッティングにより第1基板側のバルク部分500及び多孔質シリコン部分501を除去した。

【0080】この結果0.8 μmのシリコン酸化膜上に0.1 μmの単結晶シリコン膜を備えたSOI基板が出来上がり、SOI膜のボイドの密度は、従来の表面処理をしないものに比べて約1/10に減少した。

【0081】(実施例6) (図6-1) 400 μmの厚みを持った抵抗率0.0

$1\Omega \cdot cm$  の 5 インチ P 型 (100) シリコン基板 600 を用意し、その表面から  $20\mu m$  の厚みだけ多孔質層 601 を形成した。

【0082】(図6-2) 得られた基板の多孔質表面に第1実施例と同様にしてエピタキシャル層 602 を  $0.5\mu m$  の厚みに形成した。

【0083】(図6-3) 上記基板のエピタキシャル層 602 表面を  $1000^{\circ}C$  の水蒸気中で  $0.2\mu m$  酸化して  $SiO_2$  層 603 を得た。この結果エピタキシャル層のシリコン単結晶部分が  $0.4\mu m$ 、酸化膜部分が  $0.2\mu m$  の膜厚に各々なった。

【0084】(図6-4) 上記方法にて作成した基板 600 と予め用意しておいた合成石英基板 610 に、大気中で軟X線(波長  $2nm$ ) を 30 秒間照射した。

【0085】(図6-5) 上記処理基板を 10% の過酸化水素水で洗浄し、更に純水でリノスした後に乾燥させ、互いの基板を貼り合わせた。次いで貼り合わせた基板に 70 トンの圧力をかけて 10 分間置いた。

【0086】(図6-6) 上記基板を熱処理することなしに、そのままシリコン基板側を溶液にてエッチングした。まずシリコン基板を覆っている熱酸化膜 603 を希フッ酸で除去した後、徳山曹達製のテトラ・メチル・アンモニウム・ハイドライドの 2.4% 水溶液(商品名: SD-1)に浸し、 $90^{\circ}C$  で約 5 時間処理した。これによりシリコン基板側のバルクシリコン部分 600 は全てエッチングされ、多孔質層 601 が露出した。引き続いて多孔質部分 601 をフッ酸／過酸化水素水溶液で選択的にエッチングした。

【0087】(図6-7) 上記工程により得られた石英基板 610 上の単結晶シリコン薄膜 602 を、設計された素子の面積、形状、配置に合わせて島状にパターニングした。パターニング後に素子形成の第1工程として、各々の島状領域を  $1000^{\circ}C$  の酸素雰囲気中で  $0.05\mu m$  酸化した。従ってこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約  $0.4\mu m$  の単結晶シリコン薄膜を備えた SOI 基板を得た。

【0088】(実施例3とほぼ同じ工程)  
(実施例7)

(図7-1)  $400\mu m$  の厚みを持った抵抗率  $0.01\Omega \cdot cm$  の 5 インチ P 型 (100) シリコン基板 700 を用意し、その表面から  $20\mu m$  の厚みだけ多孔質層 701 を形成した。

【0089】(図7-2) 得られた基板の多孔質表面に第1実施例と同様にしてエピタキシャル層 702 を  $0.5\mu m$  の厚みに形成した。

【0090】(図7-3) 上記基板のエピタキシャル層 702 表面を  $900^{\circ}C$  の水蒸気中で  $0.05\mu m$  酸化して  $SiO_2$  層 703 を得た。

【0091】(図7-4) 上記方法にて作成した基板 700 と予め用意しておいた 5 インチ径、厚さ  $625\mu m$

m の合成石英基板 710 を各々真空装置内にセットし、 $0.5KeV$  の加速エネルギーで電子線を照射した。

【0092】(図7-5) 上記処理基板を 10% の過酸化水素水で洗浄し、更に純水でリノスした後に乾燥させ、互いの基板を貼り合わせた。次いで貼り合わせた基板に 70 トンの圧力をかけて 10 分間置いた。更に同基板を  $180^{\circ}C$ 、24 時間の熱処理を行なった。

【0093】(図7-6) 上記基板のシリコン基板側から、表面研削装置を用いてシリコン基板を  $100\mu m$  残すところまで研削した。つまり  $625\mu m$  厚の石英基板上に、多孔質層とエピタキシャル層を含めて  $100\mu m$  厚のシリコン基板が貼り合わせた状態になっている。これを  $300^{\circ}C$ 、24 時間の熱処理を行なった。

【0094】(図7-7) 残っていたバルクの部分 700 を引き続き表面研削装置で研削し、そして多孔質シリコン部分 701 をフッ酸／過酸化水素水混合液でエッチングした。この結果石英基板上に約  $0.4\mu m$  厚の単結晶シリコン薄膜 702 を備えた SOI 基板が出来上がり、SOI のボイド密度は従来の表面処理をしない石英基板のタイプのものと比べ、約  $1/10$  に減少した。

【0095】(実施例4とほぼ同じ工程)

【0096】

【発明の効果】以上詳述したように、本発明によれば、シリコン基板の表層を多孔質化、次いで単結晶シリコンのエピタキシャル成長、次いで該成長層表面の酸化を行なった基板と、表面に  $SiO_2$  を有する基板を貼り合わせ、シリコン基板側のバルクシリコン部分と多孔質シリコン部分を除去することによって得られる SOI 基板の作製方法に於いて、貼り合わせる  $SiO_2$  表面をプラズマ処理、或いは X 線、電子線処理により活性化することにより、貼り合わせの強度を高め、界面に発生するボイドを数分の 1 から十分の 1 に減少させることができるようになった。

【0097】また貼り合わせ強度が高くなることによって、貼り合わせ後のアニール温度を低く抑えられる効果も得られるようになった。

【0098】また、本発明により、活性層の膜厚が均一で、下地  $SiO_2$  が十分な厚みを持ち、界面準位が小さく、ボイドが少ないといった理想的な SOI 基板を作製することができるようになる効果も得られる。

【図面の簡単な説明】

【図1】本発明の実施態様例及び第1実施例の工程を説明するための模式的工程図。

【図2】本発明の第2実施例を説明するための模式的工程図。

【図3】本発明の第3実施例の説明するための模式的工程図。

【図4】本発明の第4実施例の説明するための模式的工程図。

【図5】本発明の第5実施例の説明するための模式的工

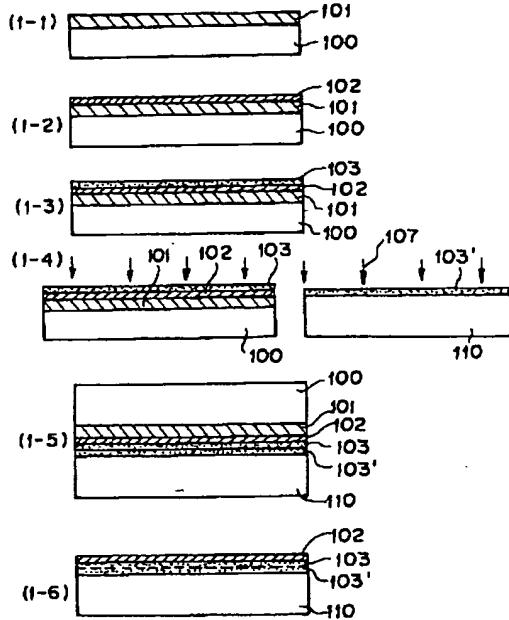
程図。

【図6】シリコン基板を多孔質化する装置の模式図。

【符号の説明】

100, 200, 300, 400, 500, 600	単結晶シリコン基板
101, 201, 301, 401, 501	多孔質化したシリコン基板
102, 202, 302, 402, 502	エピタキシャル成長層

【図1】



103, 203, 303, 403, 503 エピ酸化膜

103', 503' 支持基板シリコン酸化膜

110, 210, 310, 410, 510 表面に SiO<sub>2</sub> 層を有する支持基板

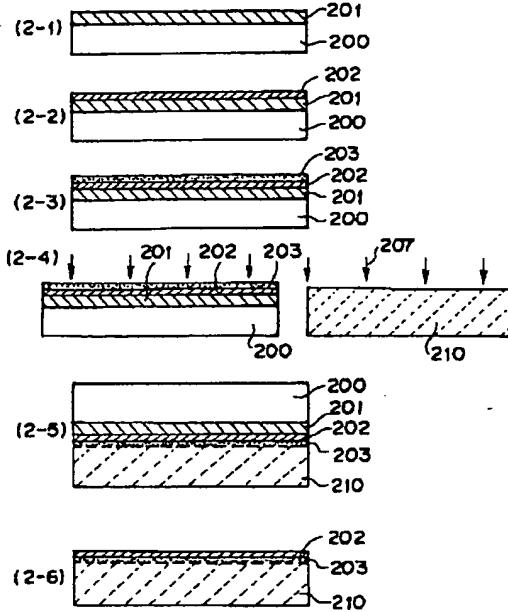
107, 207, 307, 407, 507 プラズマ

604, 604' エッチング液

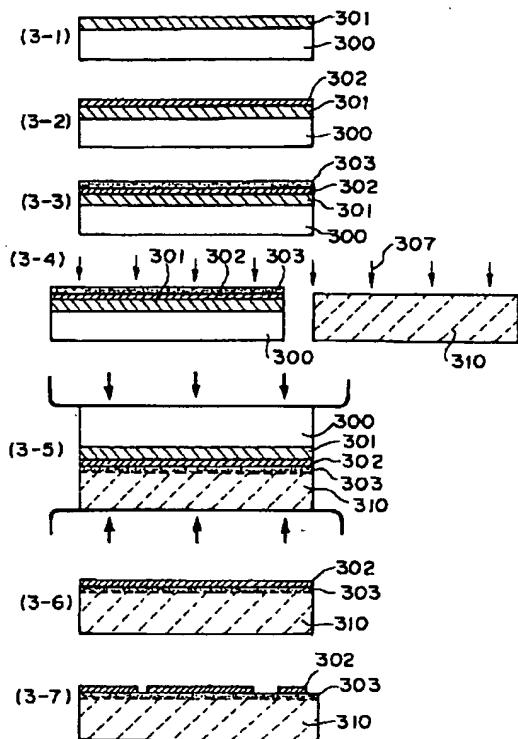
605, 605' 正電極

606, 606' 負電極

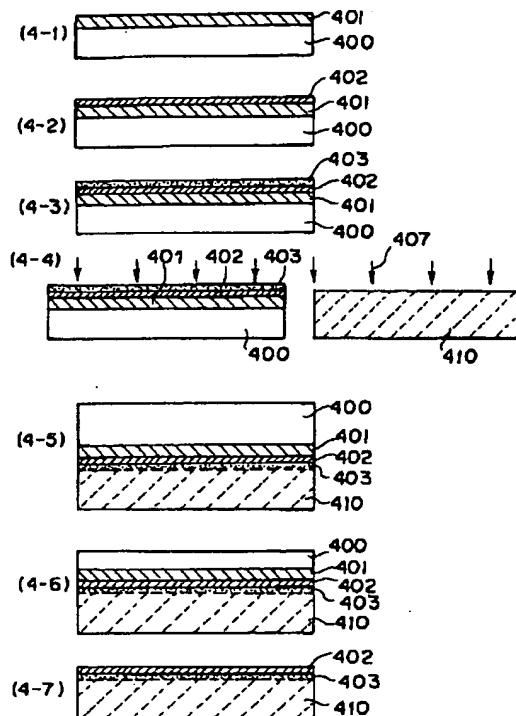
【図2】



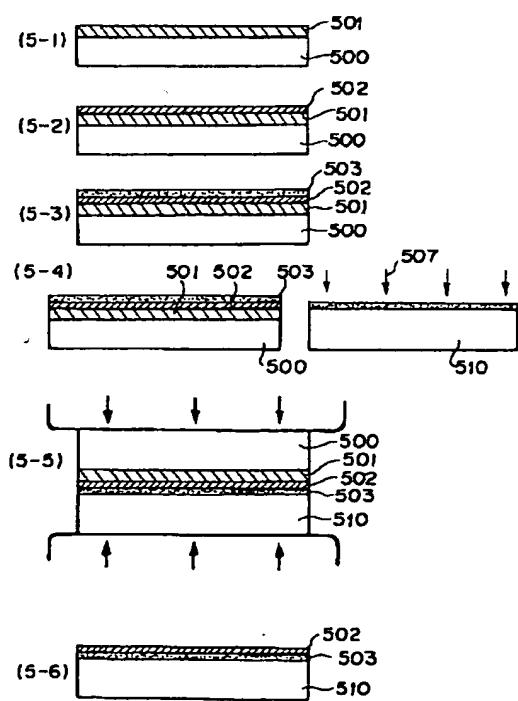
【図3】



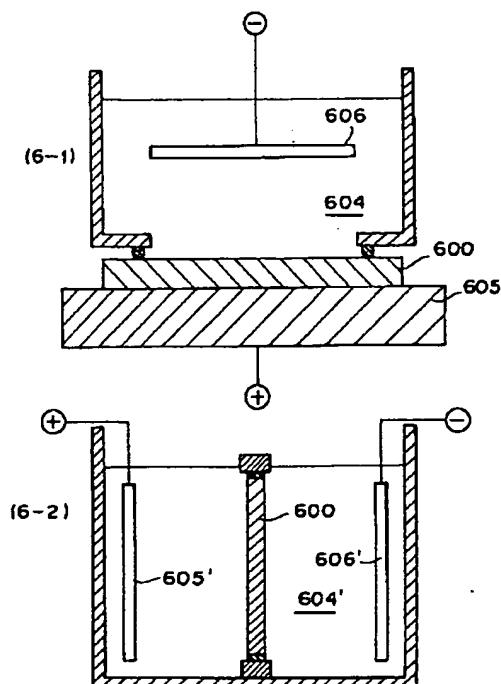
【図4】



【図5】



【図6】



## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-249749  
 (43) Date of publication of application : 26.09.1995

(51) Int.CI. H01L 27/12  
 H01L 21/02

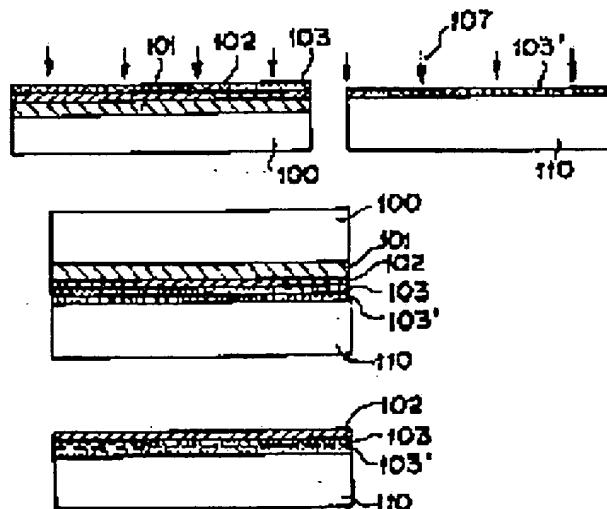
(21) Application number : 06-040964 (71) CANON INC  
 (22) Date of filing : 11.03.1994 (72) Inventor : YAMAGATA KENJI  
 YONEHARA TAKAO

## (54) PRODUCTION OF SOI BOARD

## (57) Abstract:

PURPOSE: To reduce voids at the interface by a factor of several to ten by activating the surface of SiO<sub>2</sub> to be bonded through plasma processing thereby enhancing the bonding strength.

CONSTITUTION: A substrate 100 deposited with an oxide and a previously prepared supporting substrate 110 deposited with a silicon oxide are set in a plasma processing system where they are subjected to surface activation by oxygen plasma. Both substrates are immersed into pure water and then dried before they are bonded on the processed surfaces. It is then heat treated and ground on the silicon substrate 100 side to expose a porous silicon 102 and only the porous part 101 is etched selectively and entirely. Consequently, an SOI substrate where single crystal silicon is deposited on silicon oxide is obtained and the density of void in the SOI film can be reduced by a factor of 4 as compared with a conventional SOI substrate which is not subjected to surface treatment.



## LEGAL STATUS

[Date of request for examination] 01.12.1998  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3294934  
[Date of registration] 05.04.2002  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2. \*\*\*\* shows the word which can not be translated.
- 3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The process which produces the 1st substrate which formed a porous layer, an epitaxial layer, and silicon oxide in order on the silicon single crystal substrate, The process which prepares for a front face the 2nd substrate which has silicon oxide, irradiates an X-ray on said silicon oxide front face of the substrate of at least one of the two of said 1st substrate and said 2nd substrate, and activates this silicon oxide front face, The process which sticks said the 1st substrate and 2nd substrate through said activated silicon oxide, and by removing said silicon single crystal substrate and said porous layer of said stuck substrate The production approach of the SOI substrate characterized by having the process which forms the substrate which has said epitaxial layer through said silicon oxide on said 2nd substrate.

[Claim 2] The production approach of a SOI substrate according to claim 1 that said X-ray is characterized by being an electron ray.

[Claim 3] The production approach of a SOI substrate according to claim 1 that said X-ray is characterized by being the plasma.

[Claim 4] Said porous layer is the production approach of a SOI substrate given in any 1 term of claims 1-3 characterized by porosity-izing the surface of said silicon single crystal substrate by anodization, and forming it.

[Claim 5] Removal of the said silicon single crystal substrate and said porous layer of said stuck substrate is the production approach of a SOI substrate given in any 1 term of claims 1-4 characterized by being carried out according to the process which etches said porosity silicon part alternatively succeedingly after grinding or etching removes said silicon single crystal substrate part by which said stuck silicon substrate side is not porosity-ized.

[Claim 6] It is the production approach of the SOI substrate according to claim 5 characterized by performing alternative etching of said porosity silicon part with fluoric acid and the mixed etching reagent of hydrogen peroxide solution.

[Claim 7] Said plasma is the production approach of the SOI substrate according to claim 3 characterized by using hydrogen, oxygen, nitrogen, halogen gas, the gas of the single element system of rare gas, the compound gas except a silane system, or these mixed gas.

---

[Translation done.]

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the production approach of the SOI substrate produced especially by the lamination method about the production approach of a SOI substrate.

[0002]

[Description of the Prior Art] Formation of the single-crystal-silicon semi-conductor layer of an insulating lifter is Silicon. It was widely known as an Insulator (SOI) technique, and in the bulk silicon substrate which produces the usual silicon integrated circuit, since this substrate has many dominance points which cannot reach, many researches have accomplished.

[0003] A common name "lamination SOI" is one of those are qualitatively excellent especially in the SOI forming method reported recently. This is the technique of leaving the silicon single crystal thin film which had the thickness of arbitration on the insulator layer, by grinding or etching a substrate from either the side, after at least one side heat-treats by sticking the mirror planes of two wafers with which the insulator layer is formed of oxidation etc. and makes association of an adhesion interface powerful. In this technique, the process which thin-film-izes a silicon substrate is the most important. That is, a silicon substrate with a thickness of hundreds of micrometers must usually be ground or etched into homogeneity to the thickness of several micrometers or 1 micrometer or less, and it is very difficult technically its controllability and in respect of homogeneity. It divides roughly into the approach of thin-film-izing of silicon, and there are two kinds in it. One is the approach (BPSOI:Bonding and Polishing SOI) of performing only by polish, and another is the approach (BESOI: Bond and Etchback SOI) of preparing an etching stop layer in right above [ of the thin film to leave ] (the time of substrate production of a simple substance directly under), and performing in two steps, substrate etching and etching of an etching stop layer. Since BESOI grows epitaxially on the etching stop layer in which the silicon barrier layer is formed beforehand in many cases, this BESOI is made advantageous now for securing the homogeneity of thickness. However, since the etching stop layer contains the impurity in high concentration in many cases, distortion of a crystal lattice occurs by this, and there is a problem that a crystal defect spreads to an epitaxial layer. Moreover, an impurity may be spread at the time of oxidization of an epitaxial layer, or annealing after lamination, and an etching property may be changed.

[0004] It is that it is important at 1 more lamination SOI in the point of being easy to generate interface state density in a lamination interface for the impurity in atmospheric air, or the irregularity on the front face of a substrate. Interface state density tends to become the cause of bringing about property degradation of current leak of a device etc. So, in order to avoid this, how to stick after oxidizing a barrier layer can be considered. Thereby, the substrate interface of a barrier layer turns into a thermal oxidation interface instead of a lamination interface, and interface state density is stopped low. However, in order to obtain the oxide-film thickness which fully fulfills the property of SOI, as it is necessary to oxidize considerably and the barrier layer was mentioned above, in BESOI, the impurity profile of an etching stop layer may be changed for the heat at the time of oxidation. Therefore, a barrier layer will oxidize thinly, will thicken the silicon oxidizing

zone of the substrate of another side, and will stick silicon oxide. However, a trouble new again arises also here. That is, compared with the lamination of silicon and silicon oxide, many openings to a lamination interface which are low as for the lamination reinforcement of silicon oxide, therefore are called a "void" will be generated.

[0005] SiO<sub>2</sub> SiO<sub>2</sub> Goetz and others has reported how to stick a quartz substrate and the silicon substrate to which the front face oxidized as an example stuck by bonding strength stronger than before (G. G.Goetz, Electrochemical Society, Bonding Symposium 1991, Extended abstract, pp.65). This is SiO<sub>2</sub>. It is the oxygen ion plasma by exposing a front face into RF plasma of oxygen, and impressing a DC bias between the plasma and a silicon substrate SiO<sub>2</sub> It is made to collide with a front face and is SiO<sub>2</sub> with the energy. It is an approach of making it activated. And activated SiO<sub>2</sub> If comrades are stuck, and several times as many bonding strength as this will occur and it will put in another way compared with what was stuck without being activated, I hear that it ends with low-temperature heat treatment considerably although the same bonding strength is acquired, and, in the case of what dislikes hot heat treatment like BESOI, and the combination from which a coefficient of thermal expansion differs like the lamination of glass and silicon, this is suitable.

[0006] On the other hand, the void is very sensitive to the irregularity of not only lamination reinforcement but a lamination side. BESOI mentioned above at this point is disadvantageous in many cases. It is because heteroepitaxial growth is performed, for example by CVD or surface smoothness is inferior to the flat side where performing epitaxial growth which doped the high-concentration impurity is usually but obtained [ in CVD ] by polish especially in the case of heteroepitaxial growth as an approach of forming an etching stop layer in many cases. Although an etching stop layer may be formed by an ion implantation etc., surface smoothness will get worse also in this case.

[0007] Like BESOI, the thickness of a barrier layer is uniform, the front face of a silicon substrate is porosity-ized by anodization in the example that several figures also have the selectivity of etchback better than the conventional BESOI, and there is a technique which grows a silicon barrier layer epitaxially on this with the sufficient surface smoothness of a lamination side (refer to JP,5-21338,A). In this case, a porous layer is equivalent to the etching stop layer said by BESOI. However, since the etching rate is very high to the etching reagent of a fluoric acid system compared with single crystal silicon, porosity silicon is thinking the high selective etching property as important rather than an etching stop layer. Since a porosity silicon layer carries out anodization of not CVD but the flat single crystal silicon substrate surface with this technique, compared with BESOI which forms an etching stop layer by CVD etc., the surface smoothness of the epitaxially grown barrier layer becomes good. However, even in this technique, an epitaxial growth phase front face has more delicately [ than the polish front face of bulk ] bad surface smoothness. For this reason, in case it oxidizes and a barrier layer is stuck with the silicon oxide of another side, some void may occur.

[0008]

[Problem(s) to be Solved by the Invention] As explained above, compared with the lamination of silicon and silicon oxide, the lamination reinforcement of silicon oxide has the problem of it being low, therefore generating many openings to a lamination interface called a "void."

[0009] Moreover, although the void is very sensitive to the irregularity of not only lamination reinforcement but a lamination side, an epitaxial growth phase front face has

more delicately [ than the polish front face of bulk ] bad surface smoothness. For this reason, in case it oxidizes and a barrier layer is stuck with the silicon oxide of another side, there is a problem that some void may occur.

[0010] That is, the thickness of a barrier layer is uniform and it is a substrate SiO<sub>2</sub>. Having sufficient thickness, interface state density is small and the ideal SOI substrate that there are few voids has the technical problem which should be solved that it has still come to be produced.

[0011] (The purpose of invention) The thickness of a barrier layer is uniform and the purpose of this invention is a substrate SiO<sub>2</sub>. It has sufficient thickness, and interface state density is small and is to offer the production approach of the ideal SOI substrate that there are few voids.

[0012]

[Means for Solving the Problem and its Function] On the porosity silicon side of a silicon substrate where the surface was porosity-ized, the production approach of the SOI substrate of this invention grows a single-crystal-silicon layer epitaxially, subsequently oxidizes this growth side surface, and forms the 1st substrate. Similarly it is SiO<sub>2</sub> to a front face. The support substrate (the 2nd substrate) which it has is prepared, these both or either is exposed to the inside of plasma, such as oxygen, an X-ray, an electron ray, etc., and it is SiO<sub>2</sub> chemically. A front face is activated. and two substrates -- a room temperature -- Van der after heat-treating by sticking only by the Waals force -- first (or \*\* which does not heat-treat) -- the silicon substrate part by the side of epitaxial growth -- grinding -- or -- etching -- continuing -- a porosity part -- alternative -- etching -- a single-crystal-silicon thin film -- SiO<sub>2</sub> It forms upwards.

[0013] In carrying out this invention, there is two important physical effectiveness which porosity silicon has.

[0014] It is the etching property of porosity silicon one. Usually, although silicon is hardly etched by fluoric acid, etching of it by fluoric acid is attained by porosity-izing. And if fluoric acid and the mixed etching reagent of hydrogen peroxide solution are used, in nonvesicular and porosity, 5 power twice thing etching velocity ratio of about 10 will be obtained. Therefore, the selective etching which it leaves to homogeneity with a sufficient controllability also in the thin silicon layer around 1 micrometer becomes possible.

[0015] Another effectiveness is an epitaxial growth property. Porosity silicon is maintaining single crystal structure as the crystal structure, and the hole of dozens - the diameter of hundreds of Å exists in high density ranging from the front face to the interior. The epitaxial layer which grows up to be this front face has the property that crystallinity almost equivalent to the epitaxial layer on a nonvesicular single crystal substrate is acquired.

[0016] In addition, as a description of the epitaxial growth on porosity, although it is very a low consistency, a stacking fault may occur from a growth interface. Since the stacking fault generated by this at the time of epitaxial growth is imprinted by the substrate of another side by lamination, the stacking fault observed in the silicone film of the made SOI substrate is visible to usual and the reverse sense.

[0017] From the above physical characteristic, it becomes possible to use a single crystal thin film equivalent to the epitaxial layer on a single crystal silicon substrate reliable as a barrier layer, and the SOI substrate which has the crystallinity which was excellent compared with the conventional SOI substrate, and the homogeneity of the outstanding

thickness can be applied.

[0018] Moreover, in the process of this invention, it is SiO<sub>2</sub> of two substrates. It is low enough and the interface state density of the epitaxial silicone film which is a barrier layer since fields are stuck, and SiO<sub>2</sub> interface (thermal oxidation film of said epitaxial layer) is SiO<sub>2</sub>. Since the thickness of a layer is controllable to arbitration, the substrate which fully employed the property of SOI efficiently is producible.

[0019] And SiO<sub>2</sub> of a lamination interface Since the front face is being activated by plasma treatment, X-ray irradiation, or electron beam irradiation, lamination reinforcement is raised enough and generating of a void is controlled.

[0020] Moreover, as for the selective etching of said porosity silicon section, it is desirable to carry out with fluoric acid and the mixed etching reagent of hydrogen peroxide solution, and, thereby, it can etch it with a sufficient controllability.

[0021] Moreover, it is desirable to use hydrogen, oxygen, nitrogen, halogen gas, the gas of the single element system of rare gas, the compound gas except a silane system, or these mixed gas, and, thereby, said plasma is SiO<sub>2</sub>. A front face can be activated more effectively.

[0022] (Example of an embodiment) The example of an embodiment of this invention is explained using drawing 1 and drawing 6.

[0023] (Drawing 11) Carry out anodization of the single crystal silicon substrate 100, and form porosity silicon 101. The thickness porosity-ized at this time is good at the several micrometers - dozens of micrometers single-sided surface layer of a substrate. Moreover, anodization of the whole substrate may be carried out.

[0024] The formation approach of porosity silicon is explained using drawing 6 R>6. The single crystal silicon substrate 600 of P type is first prepared as a substrate. Also with N type, although it is not impossible, where it was limited to the substrate of low resistance in that case, or it irradiated light on the substrate front face and generation of a hole is promoted, it must carry out. It sets to equipment as shows a substrate 600 to drawing 61. That is, one side of a substrate is in contact with the solution 604 of a fluoric acid system, the negative electrode 606 is formed in the solution side, and the reverse side is in contact with the forward metal electrode 605.

[0025] Moreover, as shown in drawing 62, positive electrode side 605' does not care about potential at all through solution 604', either. Anyway, porosity-ization takes place from the negative electrode side which is in contact with the fluoric acid system solution.

[0026] Generally as a fluoric acid system solution 604, dark fluoric acid (49%HF) is used. If it dilutes with pure water (H<sub>2</sub>O), it will be based also on the current value to pass, but since etching takes place from a certain concentration, it is not desirable. Moreover, air bubbles are generated from the front face of a substrate 600 in anodization, and alcohol may be added as a surfactant from the purpose which removes these air bubbles efficiently. A methanol, ethanol, propanol, isopropanol, etc. are used as alcohol. Moreover, a churning machine is used instead of a surfactant, and anodization may be performed, agitating a solution. About the negative electrode 606, an ingredient which is not eaten away to a fluoric acid solution, for example, gold, (Au), platinum (Pt), etc. are used. although the metallic material generally used is sufficient as the quality of the material of the electrode 605 by the side of forward -- anodization -- a substrate 600 -- since the fluoric acid system solution 604 reaches a positive electrode 605 when made by all, it is good to also coat the front face of a positive electrode 605 with the metal membrane of fluoric acid-proof solution nature. the current value which performs anodization --

maximum number 100 mA/cm<sup>2</sup> it is -- the minimum value should not just be zero. This value is determined as the front face of the porosity-ized silicon within limits which can do good epitaxial growth. The consistency of a porosity silicon layer becomes small at the same time the rate of anodization will increase, if a conventional current value is large. That is, the volume which a hole occupies becomes large. The conditions of epitaxial growth change by this.

[0027] (Drawing 12) Grow the nonvesicular single-crystal-silicon layer 102 epitaxially on the porous layer 101 formed as mentioned above. Epitaxial growth is performed by Heat CVD, general reduced pressure CVD and general plasma CVD, molecular beam epitaxy, a spatter, etc. Although what is necessary is just to make thickness which grows the same with the design value of a SOI layer, thickness 2 micrometers or less is preferably good. For this, the single crystal silicone film of thickness 2 micrometers or more is SiO<sub>2</sub>. It is because big stress will occur in a lamination interface from the difference in the coefficient of thermal expansion of both ingredients and destruction of a silicone film, the curvature of a substrate, or exfoliation by the interface will take place, if this is heat-treated in a device process when having stuck with the insulating substrate used as a principal component. Since stress will be comparatively small and it will end if thickness is 2 micrometers or less, membranous destruction, exfoliation, curvature, etc. cannot happen easily. It is 0.5 micrometers or less more preferably. This is because it becomes easy to produce a slip line into a crystal in a minute field, even if exfoliation, destruction, etc. do not take place that it is thickness 0.5 micrometers or more in the case of next annealing.

[0028] (Drawing 13) Oxidize the front face of an epitaxial layer 102 (103). This is because it becomes the factor which it is [ factor ] easy to segregate an impurity to a lamination interface, and the uncombined hand (dangling bond) of the atom of an interface increases [ factor ], and destabilizes the property of a thin film device when an epitaxial layer is stuck with a direct support substrate at the following process.

[0029] In addition, oxide-film thickness should just have the thickness of extent which is not influenced of the contamination out of the atmospheric air incorporated by the lamination interface.

[0030] (Drawing 14) Prepare the substrate 100 which has the epitaxial side where the above-mentioned front face oxidized, and the substrate 110 which has SiO<sub>2</sub> (103') used as a support substrate on a front face. The support substrate 110 is SiO<sub>2</sub> on what oxidized the silicon substrate surface, quartz glass, glass ceramics, and an arbitration substrate. What was deposited is mentioned.

[0031] Subsequently, both these substrates or one side is exposed to the inside of a plasma ambient atmosphere, or an X-ray and an electron ray, and it is SiO<sub>2</sub> of a front face. It is activated.

[0032] Although the gas used when exposing into a plasma ambient atmosphere has desirable oxygen, inert gas, such as atmospheric air (mixing of oxygen/nitrogen), nitrogen, hydrogen or an argon, and helium, molecule gas, such as ammonia, etc. are possible. The energy which irradiates a substrate is SiO<sub>2</sub>, when it is desirable to control by the DC bias in several volts - about 400 volts and it applies the bias beyond it. Since it is etched at a remarkable rate and a surface dry area is started, it is not desirable. Moreover, even if it does not control exposure energy by the DC bias, it can also perform enough controlling the self-bias which the plasma itself has. Self-bias is greatly dependent on RF power which makes the plasma, in addition dependent on a type of gas, the pressure of gas, etc.

[0033] An X-ray can be used in atmospheric air or an oxygen ambient atmosphere. There is a limit that it must carry out in a vacuum about an electron ray.

[0034] (Drawing 15) Stick after washing both the substrates that carried out [ above-mentioned ] preparation. As for the washing approach, it is only desirable to carry out a rinse with pure water, and what fully diluted with pure water the thing, hydrochloric acid, or sulfuric acid which otherwise diluted hydrogen peroxide solution with pure water is possible.

[0035] When a substrate is pressurized on the whole surface after sticking, there is effectiveness which raises the reinforcement of junction.

[0036] And the substrate mutually stuck on the degree is heat-treated. Although the higher one of heat treatment temperature is desirable, since a porous layer 101 may cause a structural change or the impurity contained in the substrate may be spread in an epitaxial layer when too not much high, it is necessary to choose the temperature and time amount which do not start these. Specifically, about 600-1100 degrees C is desirable. Moreover, there are some which cannot be heat-treated at an elevated temperature depending on a substrate. For example, when the support substrate 110 is quartz glass, it can heat-treat only at the temperature of about 200 degrees C or less from the difference in the coefficient of thermal expansion of silicon and a quartz. The substrate stuck when this temperature was exceeded will separate in stress, or will break. However, what is necessary is just to be able to bear the grinding of bulk silicon 100 which performs heat treatment at the following process, and the stress in the case of etching. Therefore, a process can be performed by optimizing the surface treatment conditions of activation, even if it is 200 degrees C or less in temperature.

[0037] (Drawing 16) Next leave the epitaxial growth phase 102 and remove alternatively the silicon substrate part 100 and the porosity part 101. First, grinding of the silicon substrate part 100 is carried out with a surface grinder etc., or organic alkali solutions, such as alkali solutions, such as a potassium hydroxide and aqueous ammonia, or trimethylammonium, remove it. In etching, it is effective to carry out in warm solution 100 degrees C or less. the solution of an alkali system -- SiO<sub>2</sub> since it hardly etches -- a support substrate -- glass -- or if it is the silicon substrate covered with the oxide film, only a silicon substrate part can be etched alternatively. Moreover, it is also possible to carry out etching removal with fluoric acid, a nitric acid, or the acid mixed liquor that added the acetic acid etc. to this. However, it is better to avoid use of long duration, since fluoric acid nitric-acid system etchant also etches some support substrates. The silicon substrate part 100 is etched, when the porosity part 101 is exposed, etching is once ended, and as for the next porosity part 101, selective etching is performed in a fluoric acid system solution. Since the amount of [ 102 ] epitaxial growing region is not porosity, it remains as a thin film, without hardly reacting with fluoric acid. Moreover, the support substrate 110 is SiO<sub>2</sub> with a natural thing. Since it is easy to react to a fluoric acid system solution in considering as a principal component, it is not desirable to dip in a long duration fluoric acid solution. However, if a porosity silicon layer is thin, since it does not start so much, it will not care about the time amount which etches this. It is good to etch the support substrate 110 to deposit on a lamination side and an opposite side beforehand a silicon nitride, other fluoric acid, and the matter that cannot react easily in CVD etc. Or if the porosity part 101 is also made thin to some extent with the alkali solution, the organic alkali solution, or the fluoric acid nitric-acid system solution before dipping a substrate in an etching reagent, since the

time amount which the selective etching of an epitaxial layer and a porous layer takes will be short and will end, it ends, without also making a support substrate react not much.

[0038] That with which the epitaxial film 102 and the fluoric acid system solution used for the selective etching of a porous layer 101 mixed hydrogen peroxide solution (H<sub>2</sub>O<sub>2</sub>) to fluoric acid is used. Although the selective etching of porosity silicon is possible also for fluoric acid, a nitric acid, or the mixed solution that added the acetic acid to this, I hear that some a selection ratio's seldom being taken in this case and single-crystal-silicon thin films which should be left behind are also etched, and it is necessary to control time amount etc. to a precision.

[0039] A single-crystal-silicon thin film can be obtained on an insulating substrate by performing the above process.

[0040]

[Example]

(Example 1) The detail of the 1st example of this invention is explained using drawing 1 and drawing 6:

[0041] (Drawing 11) The 5 inch P type (100) single crystal silicon substrate (0.1-0.2-ohmcm) with the thickness of 625 microns was prepared, it set in equipment as shows this to drawing 61, anodization was performed, and only 20 micrometers of front faces of a silicon substrate 100 were used as porosity silicon 101. the solution 604 at this time -- 49% HF solution -- using -- current density -- 100 mA/cm<sup>2</sup> it was. And the porosity-ized rate at this time is 8.4micrometer/min., and the porous layer with a thickness of 20 micrometers was obtained in about 2.5 minutes.

[0042] (Drawing 12) 0.5 micrometers grew the single-crystal-silicon layer 102 epitaxially depending on the method of CVD on said porosity silicon 101. The deposition conditions are as follows.

[0043] used gas: -- SiH<sub>4</sub> / H<sub>2</sub> quantity-of-gas-flow: -- 0.62/140 (1-/min.)

temperature: -- 750-degree-C pressure: -- 80Torr growth rate: -- 0.12 micrometer/min

(Drawing 13) The substrate created by the above-mentioned approach was processed on 900-degree C conditions among the steam ambient atmosphere, and the 0.1-micrometer oxide film 103 was obtained.

[0044] (Drawing 14) The substrate 100 which has the above-mentioned oxide film, and the support substrate (silicon wafer) 110 which has the silicon oxide of 0.5-micrometer thickness prepared beforehand were set in plasma treatment equipment, and activation of each front face was carried out by the oxygen plasma. Processing conditions are as follows.

[0045] RF frequency [ ..... 15pa ] ... 13.58MHzRF power ... 400W oxygen flow rate .... 30sccm pressure

Processing time .... In addition, especially between the plasma and a substrate, control of bias was not performed but surface treatment was carried out only by the self-bias of the plasma for 5 minutes.

[0046] (Drawing 15) Both the substrates that carried out [ above-mentioned ] surface treatment were dipped in pure water for 5 minutes, and processing sides were stuck after carrying out spin desiccation. 800 degrees C and heat treatment of 6 hours were performed after that.

[0047] (Drawing 16) 610-micrometer grinding of the silicon substrate 100 side was carried out with surface grinding attachment after heat treatment, and porosity silicon 102

was exposed.

[0048] This substrate was successively dipped into the selective etching solution, and only the porosity part 101 was etched altogether alternatively. An etch rate [ as opposed to the presentation of a selective etching solution and porosity silicon this time ] is HF:H<sub>2</sub>O<sub>2</sub> =1:5. 1.6 micrometer/min

It came out. Therefore, a little less than 20-micrometer porosity part was altogether etched in about 13 minutes. Incidentally, the etch rates of the single-crystal-silicon layer 102 at this time are 0.0006 micrometer/hour, and remained, without hardly being etched.

[0049] The SOI substrate equipped with about 0.4-micrometer single crystal silicone film on 0.6-micrometer silicon oxide as a result was done, and the consistency of the void of the SOI film decreased to 4 by about 1/compared with what does not carry out the conventional surface treatment.

[0050] (Example 2) The detail of the 2nd example of this invention is explained using drawing 2.

[0051] (Drawing 21) The 4 inch P type (100) silicon substrate 200 with the thickness of 300 micrometer of resistivity 0.01 ohm-cm was prepared, and only 20 micrometers of the surface were used as porosity silicon 201 like the 1st example.

[0052] (Drawing 22) The epitaxial layer 202 was formed like the 1st example on the acquired porosity side at the thickness of 0.15 micrometers.

[0053] (Drawing 23) 0.1 micrometers oxidized the substrate created by the above-mentioned approach in the 1000-degree C steam.

[0054] (Drawing 24) Plasma treatment of the front face was carried out for the above-mentioned substrate and the 4 inches synthetic quartz substrate 210 prepared beforehand like the 1st example.

[0055] (Drawing 25) After dipping the above-mentioned silicon substrate 200 and the quartz substrate 210 for 5 minutes into pure water, the mutual processing side was stuck. Then, 180 degrees C and heat treatment of 24 hours were performed.

[0056] (Drawing 26) The silicon substrate part 200 which has 280 micrometers first was etched with 1:10:10 mixed solutions of fluoric acid / nitric acid / acetic acid. And in the place which the porosity silicon layer 201 exposed to the front face, the porous layer 201 was alternatively etched with 1:5 mixed liquor of fluoric acid/hydrogen peroxide solution. Since the etching rate to the single crystal silicon of fluoric acid / nitric acid / acetic acid was a part for about 2-micrometer/at this time, it was about 140 minutes, and since the etching rate to the porosity silicon of fluoric acid/hydrogen peroxide solution was a part for about 1.6-micrometer/, it has etched all porous layers in about 13 minutes. Because the several micrometers quartz substrate 210 was etched, it remained.

[0057] The SOI substrate equipped with the 0.1-micrometer silicon single crystal thin film on the quartz substrate as a result was done, and the void consistency of SOI decreased to 5 by about 1/compared with the thing of the type of the quartz substrate which does not carry out the conventional surface treatment.

[0058] (Example 3)

(Drawing 31) The 5 inch P type (100) silicon substrate 300 with the thickness of 400 micrometer of resistivity 0.01 ohm-cm was prepared, and only the thickness of 20 micrometers formed the porous layer 301 from the front face.

[0059] (Drawing 32) The epitaxial layer 302 was formed in the porosity front face of the

obtained substrate like the 1st example at the thickness of 0.5 micrometers.

[0060] (Drawing 33) 0.2 micrometers oxidizes epitaxial layer 302 front face of the above-mentioned substrate in a 1000-degree C steam, and it is SiO<sub>2</sub>. The layer 303 was obtained. As a result, it became respectively at the thickness whose oxide-film part the silicon single crystal part of an epitaxial layer is 0.4 micrometers, and is 0.2 micrometers.

[0061] (Drawing 34) Plasma treatment of the substrate 300 created by the above-mentioned approach and the synthetic quartz substrate 310 prepared beforehand was carried out. Processing conditions are as follows.

[0062] RF frequency [ .... 40sccm / 160sccm pressure / .... 20pa ] ... 13.56MHzRF power ... 450W type of gas .... Oxygen / nitrogen interflow quantitative ratio

Processing time .... 8 minutes (drawing 35) 10% of hydrogen peroxide solution washes the above-mentioned processing substrate, after carrying out a rinse with pure water further, it is made to dry, and the mutual substrate was stuck. Subsequently, it placed for 10 minutes, having put the pressure of 70t on the stuck substrate.

[0063] (Drawing 36) The silicon substrate side was etched with the solution as it was, without heat-treating the above-mentioned substrate. After removing the thermal oxidation film 303 which has covered the silicon substrate first by rare fluoric acid, it dipped in 2.4% water solution (trade name: SD-1) of the Tokuyama Soda tetrapod methyl ammonium hydride, and processed at 90 degrees C for about 5 hours. Thereby, the bulk silicon part 300 by the side of a silicon substrate was etched altogether, and the porous layer 301 exposed it. The porosity part 301 was successingly etched alternatively with fluoric acid / hydrogen-peroxide-solution solution.

[0064] (Drawing 37) To compensate for the area of the designed component, a configuration, and arrangement, patterning of the single-crystal-silicon thin film 302 on the quartz substrate 310 obtained according to the above-mentioned process was carried out to island shape. As the 1st process of component formation, 0.05 micrometers oxidized each island-shape field in the 1000-degree C oxygen ambient atmosphere after patterning. Therefore, we decided to serve as this oxidation process with heat treatment, and the SOI substrate equipped with the single-crystal-silicon thin film with a thickness of about 0.4 micrometers on the result and the transparency substrate was obtained.

[0065] (Example 4) The detail of the 4th example of this invention is explained using drawing 4.

[0066] (Drawing 41) The 5 inch P type (100) silicon substrate 400 with the thickness of 400 micrometer of resistivity 0.01 ohm-cm was prepared, and only the thickness of 20 micrometers formed the porous layer 401 from the front face.

[0067] (Drawing 42) The epitaxial layer 402 was formed in the porosity front face of the obtained substrate like the 1st example at the thickness of 0.5 micrometers.

[0068] (Drawing 43) 0.05 micrometers oxidizes epitaxial layer 402 front face of the above-mentioned substrate in a 900-degree C steam, and it is SiO<sub>2</sub>. The layer 403 was obtained.

[0069] (Drawing 44) Plasma treatment of the substrate 400 created by the above-mentioned approach, and the diameter of 5 inch and the synthetic quartz substrate 410 with a thickness of 625 micrometers which were prepared beforehand was carried out. Processing conditions are as follows.

[0070] RF frequency [ .... 40sccm / 160sccm pressure / .... 20pa ] ... 13.56MHzRF

power ... 450W type of gas ..... Oxygen / nitrogen interflow quantitative ratio Processing time .... 3 minutes (drawing 45) 10% of hydrogen peroxide solution washes the above-mentioned processing substrate, after carrying out a rinse with pure water further, it is made to dry, and the mutual substrate was stuck. Subsequently, it placed for 10 minutes, having put the pressure of 70t on the stuck substrate. Furthermore, 180 degrees C and heat treatment of 24 hours were performed for this substrate.

[0071] (Drawing 46) Grinding was carried out from the silicon substrate side of the above-mentioned substrate to the place which leaves 100 micrometers of silicon substrates using surface grinding attachment. That is, will be stuck on the quartz substrate of 625-micrometer thickness by the silicon substrates of 100-micrometer thickness including a porous layer and an epitaxial layer. 300 degrees C and heat treatment of 24 hours were performed for this.

[0072] (Drawing 47) Grinding of the part 400 of the bulk which remained was successingly carried out with surface grinding attachment, and the porosity silicon part 401 was etched with fluoric acid / hydrogen-peroxide-solution mixed liquor. The SOI substrate equipped with the single-crystal-silicon thin film 402 of about 0.4-micrometer thickness on the quartz substrate as a result was done, and the void consistency of SOI decreased to 10 by about 1/compared with the thing of the type of the quartz substrate which does not carry out the conventional surface treatment.

[0073] (Example 5) The detail of the 5th example of this invention is explained using drawing 5.

[0074] (Drawing 51) The 4 inch P type (100) silicon substrate 500 with the thickness of 300 micrometer of resistivity 0.01 ohm-cm was prepared, and only 20 micrometers of the surface were used as porosity silicon 501 like the 1st example.

[0075] (Drawing 52) The epitaxial layer 502 was formed like the 1st example on the acquired porosity side at the thickness of 0.15 micrometers.

[0076] (Drawing 53) 0.1 micrometers oxidized the substrate created by the above-mentioned approach in the 1000-degree C steam.

[0077] (Drawing 54) Plasma treatment of the front face was carried out for the 4 inches silicon substrate 510 which has the silicon oxide of 0.7-micrometer thickness prepared beforehand like the 1st example. Plasma treatment was not performed about the substrate which grew epitaxially on the above-mentioned porosity silicon at this time.

[0078] (Drawing 55) 10% of hydrogen peroxide solution washes two above-mentioned substrates, after carrying out a rinse with pure water further, it is made to dry, and it stuck mutually. Subsequently, it put on the stuck substrate for 1 hour, having applied the temperature of 200 degrees C to the pressure of 70t, and coincidence. Furthermore, the taken-out substrate was annealed for 30 minutes at 1000 degrees C.

[0079] (Drawing 56) Grinding and selective etching removed the bulk part 500 and the porosity silicon part 501 by the side of the 1st substrate for the above-mentioned substrate like the 1st example.

[0080] The SOI substrate equipped with the 0.1-micrometer single crystal silicone film on 0.8-micrometer silicon oxide as a result was done, and the consistency of the void of the SOI film decreased to 10 by about 1/compared with what does not carry out the conventional surface treatment.

[0081] (Example 6)

(Drawing 61) The 5 inch P type (100) silicon substrate 600 with the thickness of 400 micrometer of resistivity 0.01 ohm-cm was prepared, and only the thickness of 20 micrometers formed the porous layer 601 from the front face.

[0082] (Drawing 62) The epitaxial layer 602 was formed in the porosity front face of the obtained substrate like the 1st example at the thickness of 0.5 micrometers.

- [0083] (Drawing 63) 0.2 micrometers oxidizes epitaxial layer 602 front face of the above-mentioned substrate in a 1000-degree C steam, and it is SiO<sub>2</sub>. The layer 603 was obtained.
- As a result, it became respectively at the thickness whose oxide-film part the silicon single crystal part of an epitaxial layer is 0.4 micrometers, and is 0.2 micrometers.

[0084] (Drawing 64) Soft X ray (wavelength of 2nm) was irradiated for 30 seconds in atmospheric air at the substrate 600 created by the above-mentioned approach, and the synthetic quartz substrate 610 prepared beforehand.

[0085] (Drawing 65) 10% of hydrogen peroxide solution washes the above-mentioned processing substrate, after carrying out a rinse with pure water further, it is made to dry, and the mutual substrate was stuck. Subsequently, it placed for 10 minutes, having put the pressure of 70t on the stuck substrate.

[0086] (Drawing 66) The silicon substrate side was etched with the solution as it was, without heat-treating the above-mentioned substrate. After removing the thermal oxidation film 603 which has covered the silicon substrate first by rare fluoric acid, it dipped in 2.4% water solution (trade name: SD-1) of the Tokuyama Soda tetrapod methyl ammonium hydride, and processed at 90 degrees C for about 5 hours. Thereby, the bulk silicon part 600 by the side of a silicon substrate was etched altogether, and the porous layer 601 exposed it. The porosity part 601 was successingly etched alternatively with fluoric acid / hydrogen-peroxide-solution solution.

[0087] (Drawing 67) To compensate for the area of the designed component, a configuration, and arrangement, patterning of the single-crystal-silicon thin film 602 on the quartz substrate 610 obtained according to the above-mentioned process was carried out to island shape. As the 1st process of component formation, 0.05 micrometers oxidized each island-shape field in the 1000-degree C oxygen ambient atmosphere after patterning. Therefore, we decided to serve as this oxidation process with heat treatment, and the SOI substrate equipped with the single-crystal-silicon thin film with a thickness of about 0.4 micrometers on the result and the transparency substrate was obtained.

[0088] (The almost same process as an example 3)

(Example 7)

(Drawing 71) The 5 inch P type (100) silicon substrate 700 with the thickness of 400 micrometer of resistivity 0.01 ohm-cm was prepared, and only the thickness of 20 micrometers formed the porous layer 701 from the front face.

[0089] (Drawing 72) The epitaxial layer 702 was formed in the porosity front face of the obtained substrate like the 1st example at the thickness of 0.5 micrometers.

[0090] (Drawing 73) 0.05 micrometers oxidizes epitaxial layer 702 front face of the above-mentioned substrate in a 900-degree C steam, and it is SiO<sub>2</sub>. The layer 703 was obtained.

[0091] (Drawing 74) The substrate 700 created by the above-mentioned approach, and the diameter of 5 inch and the synthetic quartz substrate 710 with a thickness of 625 micrometers which were prepared beforehand were respectively set in vacuum devices, and the electron ray was irradiated with the acceleration energy of 0.5KeV.

[0092] (Drawing 75) 10% of hydrogen peroxide solution washes the above-mentioned processing substrate, after carrying out a rinse with pure water further, it is made to dry, and the mutual substrate was stuck. Subsequently, it placed for 10 minutes, having put the pressure of 70t on the stuck substrate. Furthermore, 180 degrees C and heat treatment of 24 hours were performed for this substrate.

[0093] (Drawing 76) Grinding was carried out from the silicon substrate side of the above-mentioned substrate to the place which leaves 100 micrometers of silicon substrates using surface grinding attachment. That is, will be stuck on the quartz substrate of 625-micrometer thickness by the silicon substrates of 100-micrometer thickness including a porous layer and an epitaxial layer. 300 degrees C and heat treatment of 24 hours were performed for this.

[0094] (Drawing 77) Grinding of the part 700 of the bulk which remained was successingly carried out with surface grinding attachment, and the porosity silicon part 701 was etched with fluoric acid / hydrogen-peroxide-solution mixed liquor. The SOI substrate equipped with the single-crystal-silicon thin film 702 of about 0.4-micrometer thickness on the quartz substrate as a result was done, and the void consistency of SOI decreased to 10 by about 1/compared with the thing of the type of the quartz substrate which does not carry out the conventional surface treatment.

[0095] (The almost same process as an example 4)

[0096]

[Effect of the Invention] according to [ as explained in full detail above ] this invention -- the surface of a silicon substrate -- porosity-izing -- subsequently with the epitaxial growth of single crystal silicon, and the substrate which subsequently oxidized this growth phase front face It is SiO<sub>2</sub> to a front face. In the production approach of the SOI substrate obtained in the substrate which it has by removing the bulk silicon part and porosity silicon part by the side of lamination and a silicon substrate SiO<sub>2</sub> to stick By activating a front face by plasma treatment or the X-ray, and electron ray processing, the reinforcement of lamination can be raised and the void generated in an interface can be decreased now from several [ 1/ ] to 1/10.

[0097] Moreover, when lamination reinforcement becomes high, the effectiveness that the annealing temperature after lamination can be stopped low also came to be acquired.

[0098] Moreover, the thickness of a barrier layer is uniform by this invention, and it is a substrate SiO<sub>2</sub>. It has sufficient thickness, and interface state density is small and the effectiveness which can produce now the ideal SOI substrate that there are few voids is also acquired.

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] Typical process drawing for explaining the process of the example of an embodiment of this invention, and the 1st example.

[Drawing 2] Typical process drawing for explaining the 2nd example of this invention.

[Drawing 3] Typical process drawing for the 3rd example of this invention to explain.

[Drawing 4] Typical process drawing for the 4th example of this invention to explain.

[Drawing 5] Typical process drawing for the 5th example of this invention to explain.

[Drawing 6] The mimetic diagram of the equipment which porosity-izes a silicon substrate.

### [Description of Notations]

100, 200, 300, 400, 500, 600 Single crystal silicon substrate

101 201, 301, 401, 501 Porosity-ized silicon substrate

102 202, 302, 402, 502 Epitaxial growth phase

103 203, 303, 403, 503 EPI oxide film

103', 503' Support substrate silicon oxide

110 210, 310, 410, 510 It is SiO<sub>2</sub> to a front face. Support substrate which has a layer

107 207, 307, 407, 507 Plasma

604, 604' Etching reagent

605, 605' Positive electrode

606, 606' Negative electrode